

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034864

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

G06F 15/78

G06F 11/22

G06F 11/28

(21)Application number : 07-178449

(71)Applicant : SHARP CORP

(22)Date of filing : 14.07.1995

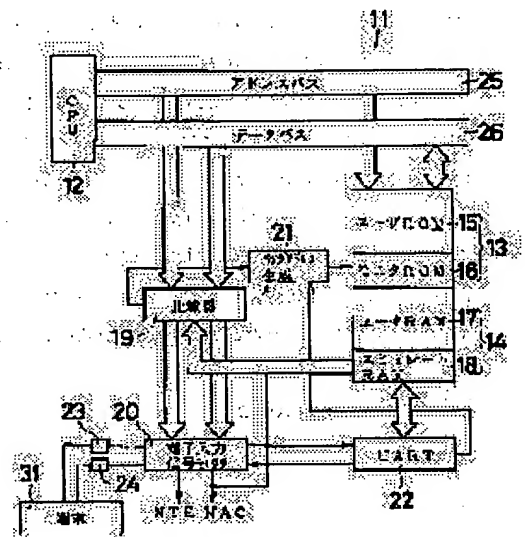
(72)Inventor : ONO KENJI

(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the single chip microcomputer in which an application program is corrected while being mounted on a device without increasing the number of terminals of the single chip microcomputer.

SOLUTION: An ACL terminal 23 and a TEST terminal 24 in the single chip microcomputer 11 are part of external connection terminals prepared in advance for program operation. When a debug program stored in a monitor ROM 16 is started, a connection state in a terminal input signal selector 20 is switched to send/receive data required for debugging the user program to/ from a terminal equipment 31 via the ACL terminal 23 and the TEST terminal 24.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

16.07.1999

[Date of sending the examiner's decision of rejection]

17.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A microprocessor and the application program performed by the microprocessor, ROM which stores the program for debugging for debugging an application program, In the single chip microcomputer with which the information relevant to an application program and the program for debugging is equipped with RAM stored temporarily and two or more external connection terminals The interface for a communication link which can perform transfer of external equipment and information through some external connection terminals, It has the control means controlled to switch the function of some said external connection terminals. A control means When the program for debugging is started, connection of said some of external connection terminals is switched to the interface for a communication link. The single chip microcomputer characterized by switching to the program moving functions as a microcomputer when an application program is started.

[Claim 2] Said ROM is a single chip microcomputer according to claim 1 characterized by being rewritable ROM electrically.

[Claim 3] Said some of external connection terminals are single chip microcomputers according to claim 1 or 2 characterized by functioning as an ACL terminal or a TEST terminal.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the single chip microcomputer of the device embedded type which performs the program written in ROM (Read Only Memory).

[0002]

[Description of the Prior Art] The single chip microcomputer (a microcomputer is only called below.) generally used conventionally is used being included in a device, and is controlling the device by the user program stored in internal ROM. In the common mask-ROM version microcomputer, in order that the information inside a microcomputer may be outputted or there may be no function of the dedication for

correcting a user program, it is difficult to debug a user program in the condition included in the device, i.e., the condition of actually operating. Moreover, since the user program is stored in ROM of a microcomputer even if debugging of a user program is possible, when ROM is a mask ROM, it is difficult [it] to rewrite a user program.

[0003] Development of the above microcomputers is performed using ICE (In Circuit Emulator). In case a microcomputer is developed by ICE, ROM in which the user program was stored uses an evaluation chip (an "ever chip" is called henceforth) instead of. An ever chip has many terminals which have structure which can take out the signal level in the signal line which connects the component of not only the output from the terminal in a microcomputer but the interior, respectively, and are prepared. Therefore, it is not incorporable into a device like said ROM. Therefore, ever chips, such as a socket in which said ROM is inserted, and ICE must be connected by the cable. Since it connects with a cable, it must take into consideration also about the effect of the noise inputted through a cable.

[0004] Moreover, since a manufacture process differs from the mask-ROM version microcomputer, electric properties etc. may differ and an ever chip has a problem in using for final evaluation of a microcomputer.

[0005] There is the OTP (One Time Programmable ROM) version as a single chip microcomputer which can equip directly the device which is going to incorporate a microcomputer and can perform evaluation of a program of operation. Since the OTP version is the same as said mask-ROM version in appearance, although it can be built into a device and can perform evaluation of a program of operation, since it does not have the function which outputs the information inside a microcomputer outside, it requires time and effort for debugging a program very much.

[0006] The 1st technique for solving the trouble in the above Prior arts is indicated by JP,4-332051,A. In the 1st advanced technology, the program for debugging is stored in ROM with which a microcomputer is equipped with the user program. Internal information is outputted to a terminal unit through the interface for a communication link prepared in a microcomputer, and a debug command etc. is inputted from a terminal unit. It is made for the program for read in and debugging to access the contents of the ROM to RAM at RAM in a microcomputer altogether at the time of debugging initiation.

[0007] Moreover, the 2nd technique is indicated by JP,3-202924,A. In the 2nd advanced technology, the interface with the equipment which memorized the program for debugging is established in the microcomputer. It chooses whether a user program is performed according to the change condition of the terminal inside a microcomputer, or debugging of a user program is performed. In this advanced technology, the program for debugging is memorized by the debugging equipment of the microcomputer exterior, reads a user program into the memory for the emulations of debugging equipment, and debugs a user program. The command from debugging equipment is inputted through the microcomputer built into the device, and a check of operation is performed.

[0008] Moreover, the 3rd technique is indicated by JP,61-58052,A. With the debugging equipment in the 3rd advanced technology, a probe is inserted in SOKKETO which it transposes to ROM the application program is remembered to be, and is equipped with said ROM, and transfer of a microcomputer and a signal is performed. The user program which it is going to debug is memorized by RAM of debugging equipment, and it debugs to this program to it. The program for debugging is memorized by ROM in debugging equipment.

[0009]

[Problem(s) to be Solved by the Invention] In the 1st advanced technology, the terminal used for the communication link is a terminal only for communication links, and has caused the increment in the number of terminals in a microcomputer.

[0010] Moreover, in the 2nd advanced technology, the equipment which equipped debugging a user program with the program for debugging is needed separately, and cannot debug easily. Since the terminal for data transfer is plurality, the area which the change equipment which switches a terminal needs becomes large.

[0011] In the 3rd advanced technology, it transposes to ROM which has memorized the user program etc., a ROM probe is inserted, and the signal is delivered and received between debugging equipment and a microcomputer. Performing an emulation at the rate at which a user program actually operates is consisting difficult gradually of the limitation of a timing-specification, delivering and receiving a signal through a probe. Moreover, the connection by the probe may destroy the socket the device by which a microcomputer is attached, for example, for ROM, etc., and has a problem in respect of safety.

[0012] The purpose of this invention is offering the single chip microcomputer which can correct an application program in the condition of having included in the device, without making the number of terminals in a single chip microcomputer increase.

[0013]

[Means for Solving the Problem] The application program with which this invention is performed by a microprocessor and the microprocessor, ROM which stores the program for debugging for debugging an application program, In the single chip microcomputer with which the information relevant to an application program and the program for debugging is equipped with RAM stored temporarily and two or more external connection terminals The interface for a communication link which can perform transfer of external equipment and information through some external connection terminals, It has the control means controlled to switch the function of some said external connection terminals. A control means When the program for debugging is started, connection of said some of external connection terminals is switched to the interface for a communication link. When an application program is started, it is the single chip microcomputer characterized by switching to the program moving functions as a microcomputer. If this invention is followed, the application program with which a single chip microcomputer is performed by the microprocessor, and the program for debugging are stored in ROM. In case an application program is debugged, the program for debugging is started. If the program for debugging is started, a control means will switch the function of some external connection terminals. The interface for a communication link delivers and receives information on external equipment through the external connection terminal with which the function was switched. The program for debugging debugs an application program based on the information supplied from external equipment. When an application program is started, a control means switches an external connection terminal to program moving functions, and delivers and receives information. Therefore, since it is performed by the control means using some external connection terminals with which the function was switched, transfer of the information on the equipment of the exterior required in order to debug an application program does not need to prepare the terminal only for [information] transfer, in order to debug, and even if it does not make large area of the chip with which a single chip microcomputer is formed, it can debug an application program.

[0014] Moreover, said ROM of this invention is characterized by being rewritable ROM electrically. If this invention is followed, ROM is electrically constituted by rewritable ROM, for example, a flash memory etc. Therefore, the application program corrected by the program for debugging is memorizable to ROM with the condition that the single chip microcomputer was built into the device.

[0015] Moreover, some [said] external connection terminals of this invention are characterized by functioning as an ACL terminal or a TEST terminal. If this invention is followed, some external connection terminals which deliver and receive information on external equipment at the time of actuation of the program for debugging will be ACL or a TEST terminal. Therefore, since the function of an external connection terminal with low operating frequency is switched and transfer of external equipment and information is performed in case the function as a single chip microcomputer is performed, in case an application program is debugged, it is not necessary to switch the function of an external connection terminal frequently, and a control means can be realized in a simple circuit.

[0016]

[Embodiment of the Invention] Drawing 1 is the block diagram showing the configuration of a single chip microcomputer 11. A single chip microcomputer (a microcomputer is only called henceforth) 11 is

constituted including CPU (central processing unit)12, ROM (Read Only Memory)13 and RAM (Random Access Memory)14, a comparator 19, the terminal input signal selector 20, the vector address-generation circuit 21, and UART (Universal Asynchronous Receiver and Transmitter)22, and is equipped with the terminal for two or more external connection which is not illustrated. In the microcomputer 11 of drawing 1, the ACL (All Clear) terminal 23 and the TEST terminal 24 were shown as some terminals for external connection.

[0017] ROM13 is constituted by a user ROM 15 and monitor ROM 16, for example, is rewritable ROM electrically [a flash memory etc.]. RAM14 is constituted by emulation RAM 18 with a user RAM 17. The address bus 25 and the data bus 26 are connected to CPU12. ROM13 and RAM14 are connected by CPU12, the address bus 25, and the data bus 26. By the address bus 25, the addresses, such as ROM13, are specified and transfer of data is performed through a data bus 26.

[0018] The user program which is an application program which the user developed is stored in the user ROM 15, and the program for debugging said user program etc. is memorized by monitor ROM 16. The start of the user program stored in external communications control and external User ROM 15 with a terminal unit 31, a stop, etc. are controlled by the program for debugging.

[0019] The momentary writing of data etc. is performed at the time of actuation of the user program by which the user RAM 17 is stored in the user ROM 15. Emulation RAM 18 stores the data inputted from the terminal unit 31 at the time of starting of the program for debugging stored in monitor ROM 16.

[0020] Based on information, such as the number of bits of the data transfer rate beforehand memorized by monitor ROM 16 and the data transmitted at once, data are transmitted [UART22] and received by the serial method using two signal lines. Data are inputted into UART22 from a terminal unit 31 through the terminal input signal selector 20. The data inputted into UART22 are inputted into emulation RAM 18 and the vector address-generation circuit 21.

[0021] By inputting into the ACL terminal 23 the signal of the high level defined beforehand or a low level, a microcomputer 11 performs the same actuation as a power up, and clears the value of the register in a microcomputer 11 etc. Moreover, a microcomputer 11 is investigated by inputting a signal according to the program which can define beforehand whether the circuit in Microcomputer II is operating normally as processing called a static test mode, when the level of the signal inputted into the TEST terminal 24 at the power up is the level defined beforehand.

[0022] Drawing 2 is drawing showing a format of the data in UART22. Drawing 2 (1) shows the example of the format from which a part for data division was constituted by 7 or 8 bits. In the 7/8-bit mode, a part for the data division which consisted of bits 0 with the data to Bit n (n is 7 or 8) following on the start bit appointed beforehand is prepared. When n is 7, the parity bit which is 1-bit data succeeding is prepared in a part for data division, but a parity bit is not prepared when n is 8. The stop bit which turns into a part for data division and a parity bit from 1 or 2 bits succeeding is prepared.

[0023] Drawing 2 (2) shows the example of the format from which a part for data division was constituted by 9 bits. In the 9-bit mode, a part for the data division constituted from a bit 0 by the data and the parity bit to Bit n is prepared following on the start bit appointed beforehand. If a part for data division is followed, the stop bit which consists of 1 or 2 bits is prepared.

[0024] A comparator 19 performs the comparison with the data of an address bus 25 and a data bus 26, and the data memorized by emulation RAM 18. The vector address-generation circuit 21 outputs the predetermined address in a user ROM 15 and monitor ROM 16 based on the result of the comparison in the time 19 of the input of an ACL signal, and various interruption generating, for example, a comparator, etc. The start address of the program for debugging in monitor ROM 16 etc. is stored in the vector address-generation circuit 21, and a program is performed in it based on the address outputted from the vector address-generation circuit 21.

[0025] Drawing 3 is the block diagram showing the configuration of the terminal input signal selector 20. The terminal input signal selector 20 is constituted including a register 41, the self-resetting circuit 42, the signal change circuit 43, the signal input authorization circuit 44, the I/O change circuit 45, and a

transistor 46.

[0026] The I/O change circuit 45 is constituted including a buffer 51, the transistor 52 which is FET (Field Effect Transistor) of n mold, NAND gate 53, and the transistor 54 which is FET of p mold. The signal change circuit 43 is constituted including the AND gates 55 and 56 and the OR gate 57, the output of the AND gate 55 is inputted into one input terminal of the OR gate 57, and the output of the AND gate 56 is inputted into the input terminal of another side of the OR gate 57. The signal input authorization circuit 44 is constituted including the AND gate 58.

[0027] Although shown in drawing 3 as one D flip-flop, two or more registers 41 are formed in the terminal input signal selector 20, and the address for identifying each register 41 is assigned to each. Based on an internal clock signal, the data of a data bus 26 are written in the register 41 specified with the address value given through an address bus 25. If an internal clock signal is inputted into the input terminal CK of a register 41, the level of the signal inputted into the input terminal D will be outputted from an output terminal Q, and the signal which reversed the output of an output terminal Q will be outputted from the reversal output terminal QB. The signal SEL1 outputted from an output terminal Q is inputted into one input terminal of the AND gate 58. The signal SEB outputted from an output terminal QB is inputted into one input terminal of the AND gates 55 and 56, respectively, and is inputted into the control terminal of a buffer 51.

[0028] The output of the self-resetting circuit 42 is inputted into the reset terminal R of a register 41, and the input terminal of another side of the AND gate 55. The signal line 60 connected to the ACL terminal 23 is connected to the input terminal of another side of the AND gate 56, and the input terminal of another side of the AND gate 58.

[0029] A signal is inputted into the buffer 51 in the I/O change circuit 45 through a signal line 59 from the TEST terminal 24. The drain D of the transistor 46 which is FET of p mold is connected to the signal line 59. Gate G is grounded and, as for the transistor 46, predetermined potential is given to Source S. Therefore, when there is no input from the outside to the TEST terminal 24, the level of the signal inputted into the I/O change circuit 45 becomes high-level.

[0030] Signal SEB is inputted into the buffer 51 as a control signal, and if Signal SEB serves as a low level, the signal output of a buffer 51 will be in a hi-z state. The output of a buffer 51 is supplied to other components in a microcomputer 11 as an internal TEST signal NTE. In addition, the drain D of a transistor 54 is connected to the output of a buffer 51. Gate G is grounded and, as for this transistor 54, predetermined potential is given to Source S. Therefore, when the signal output of a buffer 51 is a hi-z state, the internal TEST signal NTE becomes high-level.

[0031] The drain D of a transistor 54 is further connected to the 1st input terminal of NAND gate 53. A signal SEL1 is inputted into the 2nd input terminal of NAND gate 53, and the output signal OUA from UART22 is inputted into the 3rd input terminal. The output of NAND gate 53 is given to the gate G of a transistor 52. Drain D is grounded and, as for a transistor 52, Source S is connected to a signal line 59.

[0032] The actuation after a power source is supplied to a microcomputer 11 is explained. If a power source is switched on, the self-resetting circuit 42 will output a forward pulse signal, and a register 41 will be reset. Therefore, a signal SEL1 serves as a low level, and Signal SEB becomes high-level. Since Signal SEB is inputted into the control terminal of a buffer 51, the level of the signal inputted into the TEST terminal 24 is outputted as level of the internal TEST signal NTE as it is. The internal TEST signal NTE serves as a low level, only when operating a microcomputer 11 in TEST mode.

[0033] The register 41 shown by the address bus 25 latches the signal value of the data bus 26 inputted into an input terminal D synchronizing with the internal clock signal CK. When the signal inputted into an input terminal D is high-level, a signal SEL1 becomes high-level. When a signal SEL1 becomes high-level, the signal inputted into the ACL terminal 23 is inputted into UART22 as a UART input signal UA through the AND gate 58 of the signal input authorization circuit 44. By supplying the output of the signal input authorization circuit 44 to UART22, the program for debugging of monitor ROM 16 starts. The program for debugging makes emulation RAM 18 memorize the value of the start address of the application

program stored in the user ROM 15. Moreover, the program for debugging supplies the data defined beforehand to UART22.

[0034] UART22 makes said data defined beforehand the UART output signal OUA, and inputs them into the I/O change circuit 45 of the terminal input signal selector 20. The output of NAND gate 53 becomes settled with the signal level of the inputted data. Since the output of NAND gate 53 is inputted into the gate G of a transistor 52, when the signal level of said data is high-level, a transistor 52 flows, and the output of the TEST terminal 24 serves as a low level. Moreover, when the signal level of said data is a low level, a transistor 52 is intercepted and is set to the output signal from the TEST terminal 24 being high-level.

[0035] When the terminal unit 31 is connected to the ACL terminal 23 and the TEST terminal 24, based on the data inputted through the TEST terminal 24, a terminal unit 31 supplies the data which are the reply signal which shows that it connects with the ACL terminal 23 and the TEST terminal 24 to the ACL terminal 23.

[0036] In a microcomputer 11, after outputting said data from the TEST terminal 24, when the reply signal is not inputted into the ACL terminal 23 from a terminal unit 31 within the time amount defined beforehand, it is judged that the terminal unit 31 is not connected. That is, when a reply signal is not inputted from a terminal unit 31, it is judged that a microcomputer 11 is not a program debug mode.

[0037] If a reply signal is not inputted from a terminal unit 31, the program for debugging clears a register 41 by inputting a signal into a register 41 through a data bus 26, the input to the ACL terminal 23 is made into the internal ACL signal NAC, and it is made for the input to the TEST terminal 24 to serve as the internal TEST signal NTE. After the functional change of the ACL terminal 23 and the TEST terminal 24, the start address of the user program which emulation RAM 18 was made to memorize is returned to an address bus 25, and a user program is operated.

[0038] If a reply signal is inputted from a terminal unit 31, said reply signal will be inputted into UART22 through the ACL terminal 23 and the signal input authorization circuit 44. Based on the reply signal inputted into UART22, the ACL terminal 23 and the TEST terminal 24 are used as a terminal only for communication links. Since it was checked that it is a program debug mode, the program for debugging awaits the debug command succeedingly inputted through the ACL terminal 23.

[0039] The processing in a program debug mode is explained. The debug command inputted in the terminal unit 31 is inputted into the terminal input signal selector 20 through the ACL terminal 23. Furthermore it is inputted into UART22, is stored in emulation RAM 18 from UART22, and is analyzed by the program for debugging.

[0040] When the analyzed command is a command which refers to in-house datas, such as a register, the program for debugging incorporates required information from an address bus 25 and a data bus 26, and outputs it to UART22. UART22 transmits the given information to a terminal unit 31 through the TEST terminal 24.

[0041] When the analyzed command is a setup of break point data, the working program for debugging stores in emulation RAM 18 the data sent from the terminal unit 31. When the analyzed command is a command which directs activation of a user program, the start address of the user program stored in emulation RAM 18 is set as an address bus 25, and a user program is performed from the shown address. If break point data are beforehand set up in case a user program is performed in a program

debug mode, break point data are compared with the data of each buses 25 and 26 in a comparator 19.

[0042] A user program is stopped when the break point data stored in emulation RAM 18 are an address value, and this address value and the address value transmitted through an address bus 25 are in agreement. A user program is stopped when the break point data stored in emulation RAM 18 are predetermined data other than an address value, and this data and the data transmitted through a data bus 26 are in agreement. The address of a user program which stopped when the user program stopped is stored in emulation RAM 18, and the program for debugging of monitor ROM 16 is started again.

[0043] Drawing 4 is the timing chart of each signal in a microcomputer 11. In time of day t_0 , if the power

source shown in drawing 4 (1) is switched on, the output of the self-resetting circuit 42 shown in drawing 4 (2) in time of day t1 will start on "High H" level from "Low L" level. When the output of the self-resetting circuit 42 became high-level, the internal ACL signal NAC shown in drawing 4 (3) starts. Moreover, the input to the TEST terminal 24 shown in drawing 4 (9) begins to start, and the internal TEST signal NTE shown in drawing 4 (7) begins to start.

[0044] If the output of the self-resetting circuit 42 falls to a low level in time of day t2, the internal ACL signal NAC will fall with a low level. When the output of the self-resetting circuit 42 was set to a low level, the signal SEL1 shown in drawing 4 (6) starts, and it becomes high-level in time of day t3 at first. When the signal SEL1 became high-level, the predetermined data mentioned above as a UART output signal OUA shown in drawing 4 (8) are outputted to a terminal unit 31 through the TEST terminal 24 from time of day t3. In addition, as shown in drawing 4 (9), high level and a low level replace the data outputted from the TEST terminal 24 ON in Signal OUA. Sending out of said data is performed in the period T1 from time of day t3 to time of day t4. A terminal unit 31 sends out the reply signal which shows that the terminal unit 31 is connected to a microcomputer 11, if said data are inputted.

[0045] If the reply signal sent out from the terminal unit 31 shown in drawing 4 (4) is inputted into the ACL terminal 23 in time of day t5, it will be inputted into UART22 as a UART input signal UA shown in drawing 4 (5). The receipt of a reply signal is performed in the period T2 from time of day t5 to time of day t6. The signal and the UART input signal UA which are inputted into the ACL terminal 23 in a period T2 serve as the same level. In period T3 from the time of day t2 when the output of the self-resetting circuit 42 falls to the time of day t6 which the receipt of a reply signal completes, the input of the reply signal over starting and UART22 of the program for debugging can await. If a reply signal is inputted in a period T2, it will become a program debug mode after time of day t6.

[0046] Drawing 5 is a flow chart which shows the processing in a microcomputer 11. At step s1, it awaits that a power source is switched on. If a power source is switched on, it will progress to step s2. At step s2, a signal is generated in the self-resetting circuit 42, and a register 41 is reset.

[0047] At continuing step s3, it judges whether the signal level of the internal TEST signal NTE is high-level. When the signal level of the internal TEST signal NTE is high-level, it progresses to step s4. At step s4, the signal output from the self-resetting circuit 42 is suspended, and the reset condition of a register 41 is canceled. Since the reset condition was canceled, a register 41 incorporates the value of a data bus 26 based on an internal clock signal. Therefore, the signal SEL1 outputted from the output terminal Q of a register 41 becomes high-level.

[0048] When a signal SEL1 becomes high-level, the signal level of the internal ACL signal NAC outputted from the signal change circuit 43 turns into a low level. Moreover, the signal level of the UART input signal UA outputted is defined based on the level of the signal inputted from the ACL terminal 23 from the signal input authorization circuit 44. That is, the ACL terminal 23 turns into an input terminal of a data signal sent from a terminal unit 31.

[0049] At step s5, the program for debugging stored in monitor ROM 16 based on the address specified by the vector address-generation circuit 21 is started. Moreover, the start address of the user program stored in the user ROM 15 is stored in emulation RAM 18.

[0050] In continuing step s6, a predetermined signal is outputted from UART22 and it is given through the TEST terminal 24 to a terminal unit 31. The TEST terminal 24 turns into an output terminal which outputs a data signal to a terminal unit 31. At step s7, it judges whether the reply signal from the terminal unit 31 to said predetermined signal was inputted through the ACL terminal 23. When a reply signal is received, program debugging processing mentioned above is performed.

[0051] Moreover, when a reply signal is not received, it judges that the terminal unit 31 is not connected and a signal SEL1 is made into a low level. When a signal SEL1 is set to a low level, the signal inputted into the ACL terminal 23 is used as an internal ACL signal NAC in a microcomputer 11, and the signal inputted into the TEST terminal 24 is used as an internal TEST signal NTE. Furthermore, a read-out user program is started for the start address of the user program stored in emulation RAM 18.

[0052] In step s3, when it judges that the signal inputted into the TEST terminal 23 is a low level, a microcomputer 11 goes into the static test mode mentioned above.

[0053] In case a microcomputer 11 is started as mentioned above according to this gestalt of operation of this invention, it checks whether the terminal unit 31 is connected to the ACL terminal 23 and the TEST terminal 24. When the terminal unit 31 is connected, in the terminal input signal selector 20, the function of a terminal is switched and let the ACL terminal 23 and the TEST terminal 24 be the terminals only for communication links. Since the program which debugs a user program is stored in monitor ROM 16, a terminal unit 31 does not need to display the sent data, or does not need to use the equipment of dedication for program debugging that what is necessary is just the configuration that a debug command can be inputted, and can debug a program easily.

[0054] Moreover, since the function of the ACL terminal 23 and the TEST terminal 24 is a terminal seldom used at the time of the usual program moving function, it can make simple structure of the terminal input signal selector 20.

[0055] In addition, although [this gestalt of operation of this invention] ROM13 is rewritable ROM, since debug information can be read through the terminal input signal selector 20 even if it is the case where a ROM like a mask ROM which cannot be rewritten is used, where a microcomputer 11 is actually attached in a device, it can debug.

[0056]
[Effect of the Invention] Since transfer of the information on the equipment of the exterior required in order to debug an application program is performed by the control means using some connection terminals with which the function was switched as mentioned above according to this invention, it is not necessary to prepare the terminal only for communication links in a single chip microcomputer, and the application program stored in ROM in the condition of having been attached in the device can be debugged, without making large area of the chip with which a single chip microcomputer is formed.

[0057] Moreover, since an application program is correctable with the program for debugging with the condition of having built the single chip microcomputer into the device since ROM was electrically constituted by rewritable ROM according to this invention, an application program can be debugged easily and the time amount concerning development of an application program can be shortened. Moreover, since it becomes rewritable [the program for debugging], a user's original control can be performed.

[0058] Since the function of an external connection terminal with low operating frequency is switched and transfer of external equipment and information is furthermore performed according to this invention in case the function as a microcomputer is performed, in case an application program is debugged, it is not necessary to switch the function of an external connection terminal frequently, and a control means can be realized in a simple circuit.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the single chip microcomputer 11 which is one gestalt of operation of this invention.

[Drawing 2] It is drawing showing a format of the data in UART22.

[Drawing 3] It is the block diagram showing the configuration of the terminal input signal selector 20.

[Drawing 4] It is the timing chart of each signal in a microcomputer 11.

[Drawing 5] It is the flow chart which shows the processing in a microcomputer 11.

[Description of Notations]

11 Single Chip Microcomputer

12 CPU

13 ROM

14 RAM

15 User ROM

16 Monitor ROM

17 User RAM

18 Emulation RAM

19 Comparator

20 Terminal Input Signal Selector

21 Vector Address-Generation Circuit

22 UART

23 ACL Terminal

24 TEST Terminal

25 Address Bus

26 Data Bus

31 Terminal Unit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34864

(43) 公開日 平成9年(1997)2月7日

| (51) Int.Cl. ⁶ | 識別記号 | 片内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|---------------|---------|
| G 0 6 F 15/78 | 5 1 0 | | G 0 6 F 15/78 | 5 1 0 B |
| | | | | 5 1 0 K |
| 11/22 | 3 4 0 | | 11/22 | 3 4 0 A |
| 11/28 | | 7313-5B | 11/28 | L |

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平7-178449

(22) 出願日 平成7年(1995)7月14日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大野 謙次

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

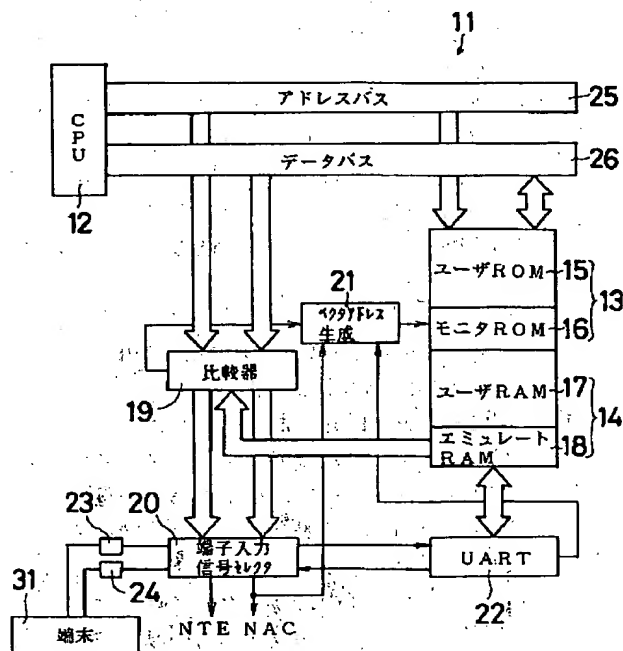
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 シングルチップマイクロコンピュータ

(57) 【要約】

【課題】 シングルチップマイクロコンピュータにおける端子数を増加させることなく、機器に組込んだ状態でアプリケーションプログラムの修正を行うことができるシングルチップマイクロコンピュータを提供する。

【解決手段】 シングルチップマイクロコンピュータ11において、ACL端子23とTEST端子24とはプログラム動作に予め用意される外部接続端子の一部である。モニタROM16に格納されているデバッグ用プログラムが起動された時には、端子入力信号セレクト20における接続状態を切換えてACL端子23、TEST端子24を介して端末装置31とユーザプログラムのデバッグに必要なデータの授受を行う。



(2)

【特許請求の範囲】

【請求項1】 マイクロプロセッサと、
マイクロプロセッサによって実行されるアプリケーションプログラムと、アプリケーションプログラムをデバッグするためのデバッグ用プログラムとを格納するROMと、
アプリケーションプログラムおよびデバッグ用プログラムに関連する情報が一時的に格納されるRAMと、
複数の外部接続端子とを備えるシングルチップマイクロコンピュータにおいて、
一部の外部接続端子を介して外部の装置と情報の授受を行うことが可能な通信用のインタフェースと、
前記一部の外部接続端子の機能を切換えるように制御する制御手段とを備え、制御手段は、デバッグ用のプログラムが起動されたときには前記一部の外部接続端子の接続を通信用のインタフェースに切換え、アプリケーションプログラムが起動されたときにはマイクロコンピュータとしてのプログラム動作機能用に切換えることを特徴とするシングルチップマイクロコンピュータ。

【請求項2】 前記ROMは、電氣的に書換え可能なROMであることを特徴とする請求項1記載のシングルチップマイクロコンピュータ。

【請求項3】 前記一部の外部接続端子は、ACL端子またはTEST端子として機能することを特徴とする請求項1または2記載のシングルチップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ROM (Read Only Memory) に書込まれたプログラムを実行する機器組込み型のシングルチップマイクロコンピュータに関する。

【0002】

【従来の技術】 従来、一般的に用いられているシングルチップマイクロコンピュータ（以下単にマイクロコンピュータと称す。）は、機器に組込まれて使用され、内部のROMに格納されているユーザプログラムによって機器の制御を行っている。一般的なマスクROM版マイクロコンピュータにおいては、マイクロコンピュータ内部の情報を出力したり、ユーザプログラムの修正を行うための専用の機能が無いために機器に組込まれた状態、すなわち実際に動作する状態でユーザプログラムのデバッグを行うことが困難である。また、ユーザプログラムのデバッグが可能であってもユーザプログラムはマイクロコンピュータのROMに格納されているので、ROMがマスクROMである場合にはユーザプログラムの書換えを行うことは困難である。

【0003】 上述のようなマイクロコンピュータの開発は、ICE (In Circuit Emulator) を用いて行われる。ICEによってマイクロコンピュータの開発を行う際には、ユーザプログラムが格納されたROMなどの代

2

わりにエバリュエーションチップ（以後、「エバーチップ」と称する）を用いる。エバーチップは、マイクロコンピュータにおける端子からの出力だけでなく、内部の構成要素をそれぞれ接続する信号線における信号レベルを取出すことができるような構造となっており設けられる端子の数が多し。したがって、前記ROMと同じ様に機器に組込むことができない。そのため、前記ROMが挿入されるソケットなど、エバーチップ、ICEをケーブルで接続しなければならない。ケーブルによって接続するのでケーブルを介して入力されるノイズなどの影響についても考慮しなければならない。

【0004】 また、エバーチップは、マスクROM版マイクロコンピュータとは製造プロセスが異なるので、電氣的な特性などが異なる可能性があり、マイクロコンピュータの最終的な評価に用いるには問題がある。

【0005】 マイクロコンピュータを組込もうとする機器に直接装着してプログラムの動作評価を行うことができるシングルチップマイクロコンピュータとしてOTP (One Time Programmable ROM) 版がある。OTP版は、外見的には前記マスクROM版と同様であるので機器に組込んでプログラムの動作評価を行うことができるけれども、マイクロコンピュータ内部の情報を外部に出力する機能を有していないので、プログラムのデバッグを行うには非常に手間がかかる。

【0006】 上述のような従来の技術における問題点を解決するための第1の技術は、特開平4-332051号公報に開示されている。第1の先行技術においては、マイクロコンピュータに備えられるROMにユーザプログラムと共にデバッグ用のプログラムが格納されている。マイクロコンピュータに設けられる通信用のインタフェースを介して端末装置に内部情報を出力し、端末装置からデバッグコマンドなどが入力される。デバッグ開始時には、ROMの内容を全てマイクロコンピュータ内のRAMに読み込み、デバッグ用のプログラムはRAMに対してアクセスするようにする。

【0007】 また、第2の技術は、特開平3-202924号公報に開示されている。第2の先行技術においては、デバッグ用のプログラムを記憶した装置とのインタフェースをマイクロコンピュータ内に設けている。マイクロコンピュータ内部の端子の切換え状態によってユーザプログラムを実行させるかユーザプログラムのデバッグを行うかを選択する。この先行技術では、デバッグ用のプログラムはマイクロコンピュータ外部のデバッグ装置に記憶されており、デバッグ装置のエミュレーション用のメモリにユーザプログラムを読み込んでユーザプログラムのデバッグを行う。機器に組込まれているマイクロコンピュータを介してデバッグ装置からのコマンドが入力されて動作の確認が行われる。

【0008】 また、第3の技術は特開昭61-58052号公報に開示されている。第3の先行技術におけるデ

(3)

3

バッグ装置では、アプリケーションプログラムが記憶されているROMに置換えて前記ROMが装着されるソケットにプローブを挿入してマイクロコンピュータと信号の授受を行う。デバッグ装置のRAMには、デバッグしようとするユーザプログラムが記憶されており、このプログラムに対してデバッグを行う。デバッグ用のプログラムはデバッグ装置内のROMに記憶されている。

【0009】

【発明が解決しようとする課題】第1の先行技術では、通信に用いている端子は、通信専用の端子でありマイクロコンピュータにおける端子数の増加を招いている。

【0010】また、第2の先行技術では、ユーザプログラムのデバッグを行うにはデバッグ用のプログラムを備えた装置が別途必要となり、容易にデバッグを行うことができない。データ転送用の端子が複数であるので端子の切換えを行う切換え装置が必要とする面積が大きくなる。

【0011】第3の先行技術では、ユーザプログラムなどを記憶しているROMに置換えてROMプローブを挿入してデバッグ装置とマイクロコンピュータとの間で信号の授受を行っている。プローブを介して信号の授受を行いながら実際にユーザプログラムが動作する速度でエミュレーションを行うことはタイミング的な仕様の限界から、次第に困難に成りつつある。また、プローブによる接続はマイクロコンピュータが取付けられる機器のたとえばROM用のソケットなどを破壊してしまう可能性があり安全性の点で問題がある。

【0012】本発明の目的は、シングルチップマイクロコンピュータにおける端子数を増加させることなく、機器に組込んだ状態でアプリケーションプログラムの修正を行うことができるシングルチップマイクロコンピュータを提供することである。

【0013】

【課題を解決するための手段】本発明は、マイクロプロセッサと、マイクロプロセッサによって実行されるアプリケーションプログラムと、アプリケーションプログラムをデバッグするためのデバッグ用プログラムとを格納するROMと、アプリケーションプログラムおよびデバッグ用プログラムに関連する情報が一時的に格納されるRAMと、複数の外部接続端子とを備えるシングルチップマイクロコンピュータにおいて、一部の外部接続端子を介して外部の装置と情報の授受を行うことが可能な通信用のインタフェースと、前記一部の外部接続端子の機能を切換えるように制御する制御手段とを備え、制御手段は、デバッグ用のプログラムが起動されたときには前記一部の外部接続端子の接続を通信用のインタフェースに切換え、アプリケーションプログラムが起動されたときにはマイクロコンピュータとしてのプログラム動作機能用に切換えることを特徴とするシングルチップマイクロコンピュータである。本発明に従えば、シングルチッ

4

プマイクロコンピュータは、マイクロプロセッサによって実行されるアプリケーションプログラムと、デバッグ用のプログラムとがROMに格納されている。アプリケーションプログラムのデバッグを行う際にはデバッグ用のプログラムを起動する。デバッグ用のプログラムが起動されると、制御手段は一部の外部接続端子の機能を切換える。機能が切換えられた外部接続端子を介して、通信用のインタフェースは外部の装置との情報の授受を行う。デバッグ用プログラムは、外部の装置から供給される情報に基づいてアプリケーションプログラムのデバッグを行う。アプリケーションプログラムが起動されたときには、制御手段は外部接続端子をプログラム動作機能用に切換えて情報の授受を行う。したがって、アプリケーションプログラムのデバッグを行うために必要な外部の装置との情報の授受は、制御手段によって機能が切換えられた一部の外部接続端子を用いて行われるので、デバッグを行うために情報の授受専用の端子を設ける必要がなく、シングルチップマイクロコンピュータが形成されるチップの面積を広くしなくてもアプリケーションプログラムのデバッグを行うことができる。

【0014】また本発明の前記ROMは、電氣的に書換え可能なROMであることを特徴とする。本発明に従えば、ROMは電氣的に書換え可能なROM、たとえばフラッシュメモリなどによって構成される。したがって、デバッグ用プログラムによって修正されたアプリケーションプログラムをシングルチップマイクロコンピュータが機器に組込まれた状態のままでROMに記憶することができる。

【0015】また本発明の前記一部の外部接続端子は、ACL端子またはTEST端子として機能することを特徴とする。本発明に従えば、デバッグ用プログラムの動作時に外部の装置との情報の授受を行う一部の外部接続端子は、ACLまたはTEST端子である。したがって、シングルチップマイクロコンピュータとしての機能を行う際に使用頻度の低い外部接続端子の機能を切換えて外部の装置と情報の授受を行うので、アプリケーションプログラムのデバッグを行う際に、外部接続端子の機能を頻繁に切換える必要がなく制御手段を簡易な回路で実現することができる。

【0016】

【発明の実施の形態】図1は、シングルチップマイクロコンピュータ11の構成を示すブロック図である。シングルチップマイクロコンピュータ（以後単にマイクロコンピュータと称する）11は、CPU（中央処理装置）12と、ROM（Read Only Memory）13と、RAM（Random Access Memory）14と、比較器19と、端子入力信号セクタ20と、ベクタアドレス生成回路21と、UART（Universal Asynchronous Receiver and Transmitter）22とを含んで構成され、図示しない複数の外部接続用の端子を備える。図1のマイクロコンピュ

(4)

5

ータ11においては、一部の外部接続用端子としてACL (All Clear) 端子23とTEST端子24とを示した。

【0017】ROM13は、ユーザROM15とモニタROM16とによって構成され、たとえばフラッシュメモリなどの電氣的に書換えが可能なROMである。RAM14は、ユーザRAM17とエミュレートRAM18とによって構成される。CPU12には、アドレスバス25とデータバス26とが接続されている。ROM13とRAM14とは、CPU12とアドレスバス25とデータバス26とによって接続される。アドレスバス25によってROM13などのアドレスが指定され、データバス26を介してデータの授受が行われる。

【0018】ユーザROM15には、ユーザが開発したアプリケーションプログラムであるユーザプログラムが格納されており、モニタROM16には前記ユーザプログラムをデバッグするためのプログラムなどが記憶されている。デバッグ用のプログラムによって、外部の端末装置31との通信制御およびユーザROM15に格納されているユーザプログラムのスタート、ストップなどの制御を行う。

【0019】ユーザRAM17は、ユーザROM15に格納されているユーザプログラムの動作時にデータの一時書込みなどが行われる。エミュレートRAM18は、モニタROM16に格納されているデバッグ用プログラムの起動時に端末装置31から入力されたデータなどを格納する。

【0020】UART22は、モニタROM16に予め記憶されているデータの転送速度および一度に転送されるデータのビット数などの情報に基づいて、2本の信号線を用いてシリアル方式でデータの送受信を行う。UART22には、端子入力信号セクタ20を介して端末装置31からデータが入力される。UART22に入力されたデータは、エミュレートRAM18およびベクタアドレス生成回路21に入力される。

【0021】マイクロコンピュータ11は、ACL端子23に予め定めるハイレベルかローレベルかの信号が入力されることによって電源投入時と同様の動作を行い、マイクロコンピュータ11内のレジスタなどの値をクリアする。また、マイクロコンピュータ11は、電源投入時にTEST端子24に入力されている信号のレベルが、予め定めるレベルであったときには、テストモードと称される処理としてマイクロコンピュータ11内の回路が正常に動作しているかどうかを予め定められるプログラムに従って信号を入力することによって調べる。

【0022】図2は、UART22におけるデータのフォーマットを示す図である。図2(1)では、データ部分が7もしくは8ビットによって構成されたフォーマットの例を示す。7/8ビットモードにおいては、予め定めるスタートビットに引続いてビット0からビットn

6

(nは7もしくは8)までのデータによって構成されたデータ部分が設けられる。nが7である場合には、データ部分に引続いて1ビットのデータであるパリティビットが設けられるが、nが8である場合にはパリティビットは設けられない。データ部分もしくはパリティビットに引続いて1もしくは2ビットからなるストップビットが設けられる。

【0023】図2(2)では、データ部分が9ビットによって構成されたフォーマットの例を示す。9ビットモードにおいては、予め定めるスタートビットに引続いて、ビット0からビットnまでのデータとパリティビットとによって構成されたデータ部分が設けられる。データ部分に引続いては1もしくは2ビットからなるストップビットが設けられる。

【0024】比較器19は、アドレスバス25およびデータバス26のデータと、エミュレートRAM18に記憶されているデータとの比較を行う。ベクタアドレス生成回路21は、ACL信号の入力および各種割込み発生時、たとえば比較器19において行われた比較の結果などに基づいて、ユーザROM15およびモニタROM16における所定のアドレスを出力する。ベクタアドレス生成回路21には、たとえばモニタROM16におけるデバッグ用プログラムのスタートアドレスなどが格納されていて、ベクタアドレス生成回路21から出力されるアドレスに基づいてプログラムが実行される。

【0025】図3は、端子入力信号セクタ20の構成を示すブロック図である。端子入力信号セクタ20は、レジスタ41と、オートリセット回路42と、信号切換え回路43と、信号入力許可回路44と、入出力切換え回路45と、トランジスタ46とを含んで構成される。

【0026】入出力切換え回路45は、バッファ51と、n型のFET (Field Effect Transistor) であるトランジスタ52と、NANDゲート53と、p型のFETであるトランジスタ54とを含んで構成される。信号切換え回路43は、ANDゲート55、56とORゲート57とを含んで構成されており、ANDゲート55の出力がORゲート57の一方の入力端子に入力され、ANDゲート56の出力がORゲート57の他方の入力端子に入力される。信号入力許可回路44は、ANDゲート58を含んで構成される。

【0027】図3には1つのDフリップフロップとして示しているが、レジスタ41は端子入力信号セクタ20において複数個設けられており、各レジスタ41を識別するためのアドレスがそれぞれに割付けられている。アドレスバス25を介して与えられるアドレス値によって指定されるレジスタ41に内部クロック信号に基づいてデータバス26のデータが書込まれる。内部クロック信号がレジスタ41の入力端子CKに入力されると入力端子Dに入力されている信号のレベルが出力端子Qから

(5)

7

出力され、反転出力端子QBからは出力端子Qの出力を反転した信号が出力される。出力端子Qから出力される信号SEL1は、ANDゲート58の一方の入力端子に入力される。出力端子QBから出力される信号SEBは、ANDゲート55、56の一方の入力端子にそれぞれ入力され、かつバッファ51の制御端子に入力される。

【0028】オトリセット回路42の出力は、レジスタ41のリセット端子Rと、ANDゲート55の他方の入力端子に入力される。ACL端子23に接続される信号線60は、ANDゲート56の他方の入力端子とANDゲート58の他方の入力端子とに接続される。

【0029】入出力切換え回路45におけるバッファ51には、TEST端子24から信号線59を介して信号が入力される。信号線59には、p型のFETであるトランジスタ46のドレインDが接続されている。トランジスタ46は、ゲートGが接地されており、ソースSには所定の電位が与えられている。したがって、TEST端子24に対して外部からの入力がない場合は、入出力切換え回路45に入力される信号のレベルはハイレベルとなる。

【0030】バッファ51には、信号SEBが制御信号として入力されており、信号SEBがローレベルとなるとバッファ51の信号出力がハイインピーダンス状態となる。バッファ51の出力は、内部TEST信号NTEとしてマイクロコンピュータ11内の他の構成要素に供給される。なお、バッファ51の出力にはトランジスタ54のドレインDが接続されている。このトランジスタ54は、ゲートGが接地されており、ソースSには所定の電位が与えられている。したがって、バッファ51の信号出力がハイインピーダンス状態の場合、内部TEST信号NTEはハイレベルとなる。

【0031】トランジスタ54のドレインDは、さらにNANDゲート53の第1の入力端子に接続される。NANDゲート53の第2の入力端子には信号SEL1が入力され、第3の入力端子にはUART22からの出力信号OUAが入力される。NANDゲート53の出力は、トランジスタ52のゲートGに与えられる。トランジスタ52は、ドレインDが接地され、ソースSが信号線59に接続される。

【0032】マイクロコンピュータ11に電源が投入されてからの動作について説明する。電源が投入されると、オトリセット回路42が正のパルス信号を出力し、レジスタ41がリセットされる。したがって、信号SEL1はローレベルとなり、信号SEBはハイレベルとなる。信号SEBがバッファ51の制御端子に入力されているので、TEST端子24に入力されている信号のレベルがそのまま内部TEST信号NTEのレベルとして出力される。内部TEST信号NTEは、マイクロコンピュータ11をTESTモードで動作させる時のみ、

8

ローレベルとなる。

【0033】アドレスバス25によって示されるレジスタ41は、入力端子Dに入力されるデータバス26の信号値を内部クロック信号CKに同期してラッチする。入力端子Dに入力される信号がハイレベルである場合、信号SEL1がハイレベルになる。信号SEL1がハイレベルになることによって、ACL端子23に入力される信号が、信号入力許可回路44のANDゲート58を介してUART入力信号UAとしてUART22に入力される。信号入力許可回路44の出力がUART22に供給されることによって、モニタROM16のデバッグ用プログラムが起動する。デバッグ用プログラムは、ユーザROM15に格納されているアプリケーションプログラムのスタートアドレスの値をエミュレートRAM18に記憶させる。また、デバッグ用プログラムは、予め定めるデータをUART22に供給する。

【0034】UART22は、前記予め定めるデータをUART出力信号OUAとして端子入力信号セクタ20の入出力切換え回路45に入力する。入力されたデータの信号レベルによってNANDゲート53の出力が定まる。NANDゲート53の出力がトランジスタ52のゲートGに入力されているので、前記データの信号レベルがハイレベルである場合にはトランジスタ52が導通し、TEST端子24の出力がローレベルとなる。また、前記データの信号レベルがローレベルである場合にはトランジスタ52は遮断し、TEST端子24からの出力信号がハイレベルとなる。

【0035】端末装置31がACL端子23およびTEST端子24に接続されている場合は、TEST端子24を介して入力されるデータに基づいて端末装置31はACL端子23およびTEST端子24に接続されていることを示す応答信号であるデータをACL端子23に供給する。

【0036】マイクロコンピュータ11においては、TEST端子24から前記データを出力してから予め定める時間以内にACL端子23に端末装置31から応答信号が入力されていない場合には、端末装置31が接続されていないと判断する。すなわち、端末装置31から応答信号が入力されない場合には、マイクロコンピュータ11はプログラムデバッグモードではないと判断する。

【0037】端末装置31から応答信号が入力されないと、デバッグ用プログラムはレジスタ41にデータバス26を介して信号を入力することによってレジスタ41をクリアしてACL端子23への入力を内部ACL信号NACとし、TEST端子24への入力が内部TEST信号NTEとなるようにする。ACL端子23、TEST端子24の機能切換え後、エミュレートRAM18に記憶させていたユーザプログラムのスタートアドレスをアドレスバス25に戻してユーザプログラムを動作させる。

(6)

9

【0038】端末装置31から応答信号が入力されると、前記応答信号はACL端子23、信号入力許可回路44を介してUART22に入力される。UART22に入力された応答信号に基づいてACL端子23およびTEST端子24が通信専用端子として使用される。デバッグ用プログラムは、プログラムデバッグモードであることが確認されたので、引続いてACL端子23を介して入力されるデバッグコマンドを待ち受ける。

【0039】プログラムデバッグモードにおける処理について説明する。端末装置31において入力されたデバッグコマンドは、ACL端子23を介して端子入力信号セレクト20へと入力される。さらにUART22に入力され、UART22からエミュレートRAM18に格納されデバッグ用プログラムによって解析される。

【0040】解析されたコマンドがレジスタなどの内部データを参照するコマンドである場合は、デバッグ用プログラムはアドレスバス25およびデータバス26から必要な情報を取込みUART22へと出力する。UART22は、与えられた情報をTEST端子24を介して端末装置31へと送信する。

【0041】解析されたコマンドがブレイクポイントデータの設定である場合は、動作中のデバッグ用プログラムは端末装置31から送られてきたデータをエミュレートRAM18に格納する。解析されたコマンドがユーザプログラムの実行を指示するコマンドである場合は、エミュレートRAM18に格納されているユーザプログラムのスタートアドレスをアドレスバス25に設定し、示されたアドレスからユーザプログラムを実行させる。プログラムデバッグモードにおいてユーザプログラムを実行する際に前もってブレイクポイントデータを設定するとブレイクポイントデータと各バス25、26のデータとを比較器19において比較する。

【0042】エミュレートRAM18に格納されているブレイクポイントデータがアドレス値である場合には、このアドレス値とアドレスバス25を介して転送されるアドレス値とが一致したときにユーザプログラムを停止させる。エミュレートRAM18に格納されているブレイクポイントデータがアドレス値以外の所定のデータである場合には、このデータとデータバス26を介して転送されるデータとが一致したときにユーザプログラムを停止させる。ユーザプログラムが停止すると停止したユーザプログラムのアドレスがエミュレートRAM18に格納されモニタROM16のデバッグ用プログラムが再び起動される。

【0043】図4は、マイクロコンピュータ11における各信号のタイミングチャートである。時刻t0において、図4(1)に示す電源が投入されると、時刻t1において図4(2)に示すオトリセット回路42の出力がロー「L」レベルからハイ「H」レベルへと立上がる。オトリセット回路42の出力が、ハイレベルとな

10

ったことによって図4(3)に示す内部ACL信号NACが立上がる。また、図4(9)に示すTEST端子24への入力而立上がりははじめ、図4(7)に示す内部TEST信号NTEが立上がりはじめる。

【0044】オトリセット回路42の出力が、時刻t2においてローレベルへと立下ると、内部ACL信号NACがローレベルと立下がる。オトリセット回路42の出力がローレベルになったことによって、図4

(6)に示す信号SEL1が立上がりはじめて時刻t3においてハイレベルとなる。信号SEL1がハイレベルになったことによって、時刻t3から図4(8)に示すUART出力信号OUAとして前述した所定のデータが端末装置31へとTEST端子24を介して出力される。なお、TEST端子24から出力されるデータは図4

(9)に示すように信号OUAとはハイレベルとローレベルとが入替わる。前記データの送出は、時刻t3から時刻t4までの期間T1において行われる。端末装置31は、前記データが入力されると端末装置31が接続されていることを示す応答信号をマイクロコンピュータ11へと送出する。

【0045】図4(4)に示す端末装置31から送出された応答信号が、時刻t5においてACL端子23に入力されると、図4(5)に示すUART入力信号UAとしてUART22へと入力される。応答信号の受取りは時刻t5から時刻t6までの期間T2において行われる。期間T2においてACL端子23に入力される信号とUART入力信号UAとは同一レベルとなる。オトリセット回路42の出力が立下がる時刻t2から応答信号の受取りが完了する時刻t6までの期間T3において、デバッグ用プログラムの起動およびUART22に対する応答信号の入力が待ち受けられる。期間T2において応答信号が入力されると時刻t6以降はプログラムデバッグモードとなる。

【0046】図5は、マイクロコンピュータ11における処理を示すフローチャートである。ステップs1では、電源が投入されるのを待ち受ける。電源が投入されるとステップs2に進む。ステップs2では、オトリセット回路42において信号が発生され、レジスタ41がリセットされる。

【0047】続くステップs3では、内部TEST信号NTEの信号レベルがハイレベルであるかどうかを判断する。内部TEST信号NTEの信号レベルがハイレベルであるときには、ステップs4に進む。ステップs4では、オトリセット回路42からの信号出力が停止され、レジスタ41のリセット状態が解除される。リセット状態が解除されたので、レジスタ41はデータバス26の値を内部クロック信号に基づいて取込む。したがって、レジスタ41の出力端子Qから出力される信号SEL1がハイレベルとなる。

【0048】信号SEL1がハイレベルになることによ

(7)

11

って、信号切換え回路43から出力される内部ACL信号NACの信号レベルがローレベルとなる。また、信号入力許可回路44から出力されるUART入力信号UAの信号レベルは、ACL端子23から入力される信号のレベルに基づいて定められる。すなわち、ACL端子23は端末装置31から送られてくるデータ信号の入力端子となる。

【0049】ステップs5では、ベクタアドレス生成回路21によって指定されるアドレスに基づいてモニターROM16に格納されているデバッグ用プログラムが起動される。また、ユーザROM15に格納されているユーザプログラムのスタートアドレスがエミュレートRAM18に格納される。

【0050】続くステップs6においては、UART22から所定の信号が出力されTEST端子24を介して端末装置31へと与えられる。TEST端子24は端末装置31へとデータ信号を出力する出力端子となる。ステップs7では、前記所定の信号に対する端末装置31からの応答信号がACL端子23を介して入力されたかどうかを判断する。応答信号を受信した場合は前述したプログラムデバッグ処理を行う。

【0051】また、応答信号を受信しなかった場合には、端末装置31が接続されていないと判断し、信号SEL1をローレベルにする。信号SEL1がローレベルになることによって、ACL端子23に入力される信号は、マイクロコンピュータ11において内部ACL信号NACとして用いられ、TEST端子24に入力される信号は内部TEST信号NTEとして用いられる。さらに、エミュレートRAM18に格納されているユーザプログラムのスタートアドレスを読み出しユーザプログラムを起動させる。

【0052】ステップs3において、TEST端子23に入力されている信号がローレベルであると判断した時には、マイクロコンピュータ11は前述したテストモードに入る。

【0053】以上のように本発明の実施のこの形態によれば、マイクロコンピュータ11を起動する際に、ACL端子23とTEST端子24とに端末装置31が接続されているかどうかを確認する。端末装置31が接続されている場合には、端子入力信号セクタ20において、端子の機能を切換えてACL端子23、TEST端子24を通信専用の端子とする。ユーザプログラムをデバッグするプログラムはモニターROM16に格納されているので、端末装置31は送られてきたデータを表示したり、デバッグコマンドを入力することができるような構成であればよく、プログラムデバッグのための専用の装置を用いる必要がなく、容易にプログラムのデバッグを行うことができる。

【0054】また、ACL端子23およびTEST端子24の機能は、通常のプログラム動作機能時にはあまり

12

使用されない端子であるので、端子入力信号セクタ20の構造を簡易な構造とすることができる。

【0055】なお、本発明の実施のこの形態では、ROM13は書換え可能なROMであるとしたが、マスクROMのような書換えることができないROMを使用した場合であっても、デバッグ情報を端子入力信号セクタ20を介して読み出すことができるので、マイクロコンピュータ11が実際に機器に取付けられた状態でデバッグを行うことができる。

10 【0056】

【発明の効果】以上のように本発明によれば、アプリケーションプログラムのデバッグを行うために必要な外部の装置との情報の授受は制御手段によって機能が切換えられた一部の接続端子を用いて行われるので、通信専用の端子をシングルチップマイクロコンピュータに設ける必要がなく、シングルチップマイクロコンピュータが形成されるチップの面積を広くすることなく機器に取付けられた状態でROMに格納されているアプリケーションプログラムのデバッグを行うことができる。

【0057】また本発明によれば、ROMは電氣的に書換え可能なROMによって構成されるので、シングルチップマイクロコンピュータを機器に組込んだ状態のままデバッグ用プログラムによってアプリケーションプログラムを修正することができるので、アプリケーションプログラムのデバッグを容易に行うことができ、アプリケーションプログラムの開発にかかる時間を短縮することができる。また、デバッグ用プログラムの書換えが可能となるので、ユーザ独自の制御を行うことができる。

【0058】さらに本発明によれば、マイクロコンピュータとしての機能を行う際に使用頻度の低い外部接続端子の機能を切換えて外部の装置と情報の授受を行うので、アプリケーションプログラムのデバッグを行う際に外部接続端子の機能を頻繁に切換える必要がなく制御手段を簡易な回路で実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態であるシングルチップマイクロコンピュータ11の構成を示すブロック図である。

【図2】UART22におけるデータのフォーマットを示す図である。

【図3】端子入力信号セクタ20の構成を示すブロック図である。

【図4】マイクロコンピュータ11における各信号のタイミングチャートである。

【図5】マイクロコンピュータ11における処理を示すフローチャートである。

【符号の説明】

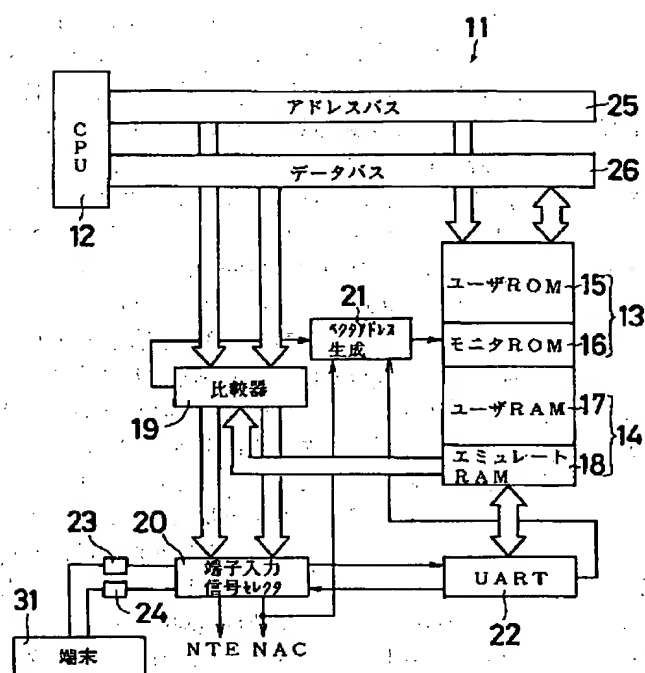
- 11 シングルチップマイクロコンピュータ
- 12 CPU
- 13 ROM

(8)

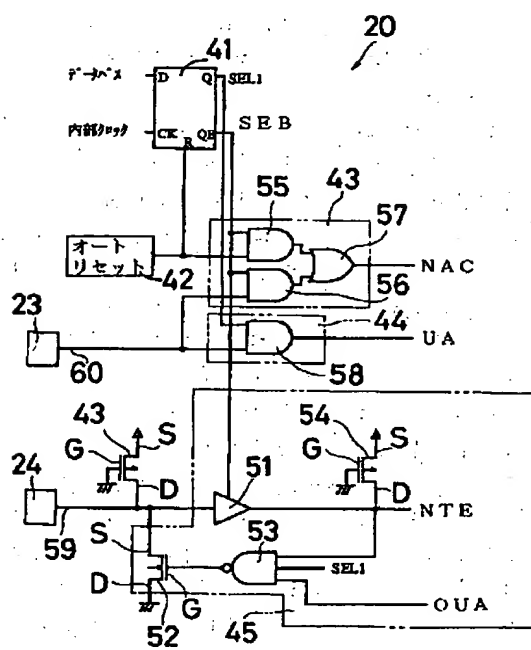
14 RAM
15 ユーザROM
16 モニタROM
17 ユーザRAM
18 エミュレートRAM
19 比較器
20 端子入力信号セクタ

2 1 ベクタアドレス生成回路
2 2 U A R T
2 3 A C L 端子
2 4 T E S T 端子
2 5 アドレスバス
2 6 データバス
3 1 端末装置

【图 1】

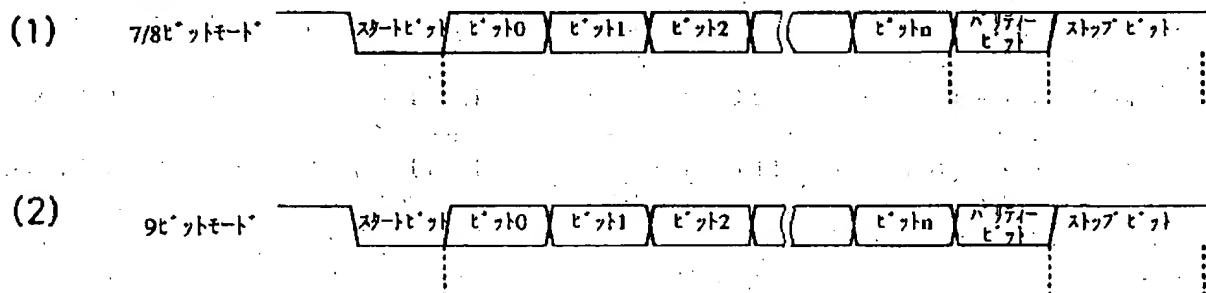


【図 3】



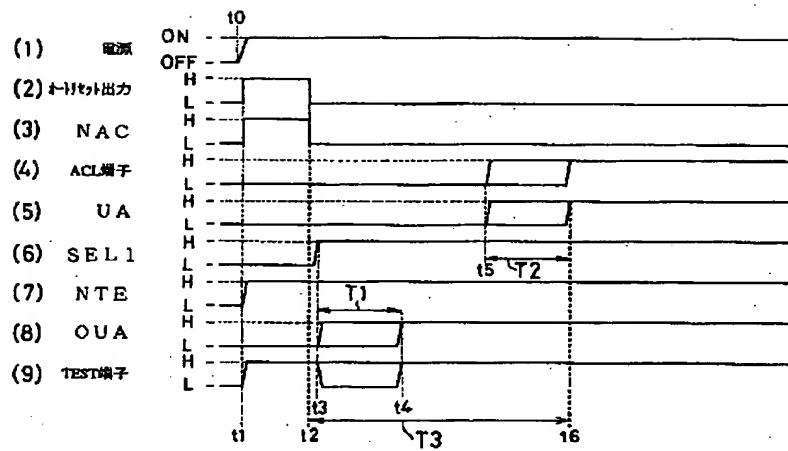
【図 2】

UART送受信フォーマット

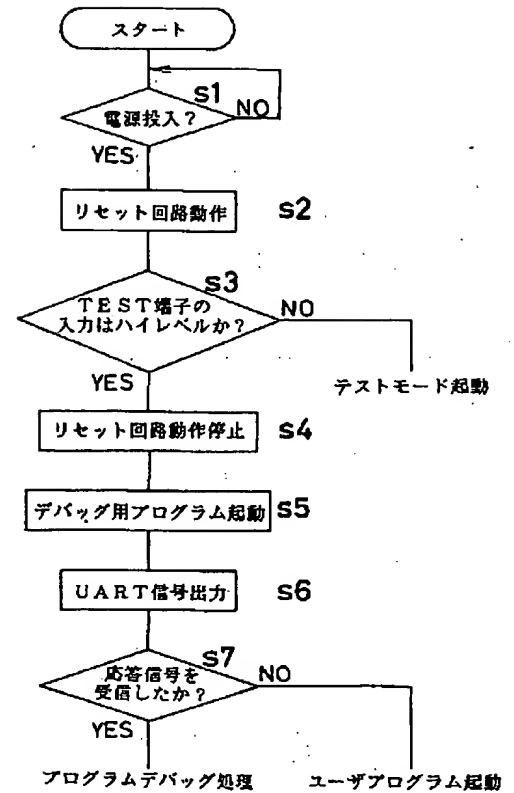


(9)

【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.